



JP10206568

Biblio

Page 1



OSCILLATION CIRCUIT, SEMICONDUCTOR DEVICE, AND PORTABLE ELECTRONIC EQUIPMENT AND TIMEPIECE WITH THESE

Patent Number: JP10206568
Publication date: 1998-08-07
Inventor(s): KADOWAKI TADAO; MAKIUCHI YOSHIKI; NAKAMIYA SHINJI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP10206568
Application Number: JP19970023276 19970122
Priority Number(s):
IPC Classification: G04G3/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the consumption power of an oscillation circuit by performing oscillation with an inverter including a transistor with a threshold voltage during a first period and performing oscillation with an inverter including a transistor having a different threshold voltage during a second period.

SOLUTION: During a period after the power of an oscillation circuit is turned on until a stable oscillation is initiated, a selection signal SEL1 is set to H level and a PMOSQP3 and an NMOSQN3 are turned on, PMOSQP4 and NMOSQN4 are turned off, and an inverter INV1 for oscillation consisting of PMOSQP1 and NMOSQN1 with a low threshold voltage is operated selectively. Until a crystal oscillator X'tal oscillates stably after a certain amount of time, the selective signal SEL1 is set to H level, the PMOSQP3 and NMOSQN3 are turned off, the PMOSQP4 and NMOSQN4 are turned off, and an inverter INV2 for oscillation consisting of PMOSQP2 and NMOSQN2 with a high threshold voltage is operated selectively, thus using an energy efficiently for operating with a low power consumption.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-206568

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.⁸

識別記号

F I

G 0 4 G 3/00

G 0 4 G 3/00

F

審査請求 未請求 請求項の数15 F D (全 14 頁)

(21)出願番号

特願平9-23276

(22)出願日

平成9年(1997) 1月22日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 門脇 忠雄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 牧内 佳樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 中宮 信二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

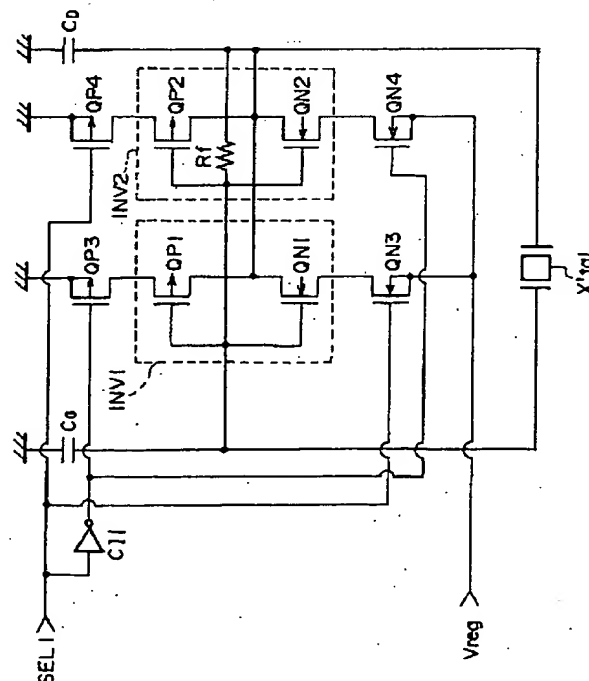
(74)代理人 弁理士 井上 一 (外2名)

(54)【発明の名称】 発振回路、半導体装置及びこれらを具備した携帯用電子機器および時計

(57)【要約】

【課題】 発振用インバータを含む発振回路、半導体装置、携帯用電子機器、時計において、発振開始電圧を低くし、低消費電力駆動を図る。

【解決手段】 駆動能力の高い発振用インバータと、駆動能力の低い発振用インバータとを、夫々を構成するトランジスタの閾値電圧を調整することにより形成し、水晶発振回路への電源投入から前記水晶発振回路の安定発振動作開始までと、前記安定発振動作開始以降における、前記発振用インバータの駆動能力を閾値電圧の変更することにより調整する。



【特許請求の範囲】

【請求項1】 第1の閾値電圧をもつトランジスタを少なくとも1つ含む第1の発振用インバータと、第1の閾値電圧とは異なる、第2の閾値電圧をもつトランジスタを少なくとも1つ含む第2の発振用インバータと、前記第1および前記第2の発振用インバータの出力側と入力側に接続された水晶発振子を有し、前記第1及び前記第2の発振用インバータの出力信号を位相反転して、前記発振用インバータにフィードバック入力するフィードバック回路と、を含み、第1の期間は、前記第1の発振用インバータにて発振動作を行ない、第2の期間は、前記第2の発振用インバータにて発振動作を行なうことを特徴とする発振回路。

【請求項2】 請求項1において、前記第1の閾値電圧の絶対値は、前記第2の閾値電圧の絶対値よりも低いことを特徴とする発振回路。

【請求項3】 請求項1乃至2のいずれかにおいて、前記第1の閾値電圧をもつトランジスタを除く、前記第1の発振用インバータに含まれるすべてのトランジスタの閾値電圧の絶対値は、前記第1の閾値電圧の絶対値以上かつ前記第2の閾値電圧の絶対値以下であり、前記第2の閾値電圧をもつトランジスタを除く、前記第2の発振用インバータに含まれるすべてのトランジスタの閾値電圧の絶対値と同等もしくは低いことを特徴とする発振回路。

【請求項4】 請求項1乃至3のいずれかにおいて、前記第1の発振用インバータに含まれるすべてのトランジスタは、絶対値で前記第1の閾値電圧を有し、前記第2の発振用インバータに含まれるすべてのトランジスタは、絶対値で前記第2の閾値電圧をもつことを特徴とする発振回路。

【請求項5】 請求項1乃至4のいずれかにおいて、前記第1の発振用インバータと、前記第2の発振用インバータは、ともに第1導電型のトランジスタと第2導電型のトランジスタとを含むことを特徴とする発振回路。

【請求項6】 請求項1乃至3のいずれかにおいて、前記第1の期間は電源投入から安定発振までの期間であって、前記第2の期間は安定発振から発振終了までの期間であることを特徴とする発振回路。

【請求項7】 請求項6において、前記発振回路は発振用インバータ切り換え回路を含み、前記発振用インバータ切り換え回路は、前記電源投入から安定発振までの期間を検出し、前記第1の発振用インバータの選択を行ない、前記安定発振から発振終了までの期間に、前記第2の発振用インバータの選択を行なうことを特徴とする発振回路。

【請求項8】 請求項7において、

前記発振用インバータ切り換え回路は、前記発振回路への電源投入を検出する電源投入検出回路と、電源が投入された時点から経過時間を測定して、前記第1の期間から前記第2の期間への切り換え時点を検出するタイマーと、を含み、前記電源が投入された時点で前記第1の発振用インバータの選択を行ない、前記タイマーが前記第1の期間から前記第2の期間への切り換え時点を検出した時点で、前記第2の発振用インバータの選択を行なうことを特徴とする発振回路。

【請求項9】 請求項1乃至3のいずれかにおいて、前記第1および前記第2の発振用インバータは共に第1の電位と、該第1の電位よりも低い第2の電位との間に設けられ、前記第1の電位と前記第2の電位との間に、前記第1の発振用インバータへの電源供給を制御する第1の制御回路と、前記第2の発振用インバータへの電源供給を制御する第2の制御回路とが設けられてなることを特徴とする発振回路。

【請求項10】 第1の閾値電圧をもつトランジスタを少なくとも1つ含む第1の発振用インバータと、前記第1の閾値電圧の絶対値よりも、その絶対値が低い第2の閾値電圧をもつトランジスタを少なくとも1つ含む第2の発振用インバータと、外付けされた水晶発振子と出力側と入力側が接続された前記第1及び前記第2の発振用インバータの出力信号を位相反転して、前記発振用インバータにフィードバック入力するフィードバック回路と、を含み、

前記第1の発振用インバータにおいて、前記第1の閾値電圧をもつトランジスタを除くすべてのトランジスタの閾値電圧の絶対値は、前記第2の閾値電圧の絶対値以上かつ前記第1の閾値電圧の絶対値以下である第3の閾値電圧を有し、前記第2の発振用インバータにおいて、前記第2の閾値電圧をもつトランジスタを除くすべてのトランジスタは、前記第3の閾値電圧の絶対値と同等または低い前記第4の閾値電圧を有し、第1の期間は、前記第2の発振用インバータにて発振動作を行ない、第2の期間は、前記第1の発振用インバータにて発振動作を行なうことを特徴とする発振回路を含むことを特徴とする半導体装置。

【請求項11】 請求項10において、前記第1の期間は電源投入から安定発振までの期間であって、前記第2の期間は安定発振から発振終了までの期間であることを特徴とする半導体装置。

【請求項12】 請求項10または11において、前記第1の閾値電圧の絶対値と、前記第3の閾値電圧の絶対値は同等であって、

前記第2の閾値電圧の絶対値と、前記第4の閾値電圧の絶対値は同等であることを特徴とする半導体装置。

【請求項13】 請求項10乃至12のいずれかにおいて、

前記第1の発振用インバータと、前記第2の発振用インバータは、ともに第1導電型のトランジスタと第2導電型のトランジスタとを含むことを特徴とする半導体装置。

【請求項14】 請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から動作基準信号を形成することを特徴とする携帯用電子機器。

【請求項15】 請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から時計基準信号を形成することを特徴とする時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発振回路、半導体装置及びそれらを具備した携帯用の電子機器および時計に関するものであり、特に、発振回路の発振用インバータに関する。

【0002】

【背景技術】従来より、時計や携帯用の電話、コンピュータ端末などには、水晶振動子を用いた発振回路が広く用いられている。このような携帯用の電子機器では、消費電力を節約し、電池の長寿命化を図ることが必要となる。

【0003】消費電力の節約という観点から、本発明者は、携帯用電子機器、特に腕時計に使用される電子回路の消費電力を分析した。この分析により、プリント基板上に構成される電子回路のうち、半導体装置においては発振回路部分の消費電力が他の回路部分に比べ大きな割合を占めることが確認された。すなわち、携帯用電子機器に使用される電子回路の発振回路部分での消費電力を削減することが、使用電池の長寿命化を図る上で効果的であることを見出した。

【0004】図4には、従来の水晶発振回路の一例が示されている。

【0005】この水晶発振回路は、水晶振動子 $X'tal$ と、発振用インバータ $INV0$ と、フィードバック回路を構成する高抵抗 Rf とを含んで構成されている。前記フィードバック回路は、抵抗 Rf 以外に、位相補償用のコンデンサ Cd 、 Cg を含んで構成され、発振用インバータ $INV0$ のドレイン出力を、180度位相反転されたゲート入力として発振用インバータ $INV0$ のゲートへフィードバック入力するものである。

【0006】従来このような水晶発振回路に用いられる発振用インバータ $INV0$ は、一対のP型電界効果トラ

ンジスタ（以下PMOSと記す） $QP0$ 、N型電界効果トランジスタ（以下NMOSと記す） $QN0$ を含み、各PMOS $QP0$ 、NMOS $QN0$ のゲートが入力側、ドレインが出力側として機能するように構成されている。そして、前記各トランジスタ $QP0$ 、 $QN0$ は、そのドレイン側が互いに接続され、そのソース側がそれぞれ接地電圧側 Vd 、定電圧側 $Vreg$ 側に接続されている。

【0007】以上の構成の水晶発振回路では、発振用インバータ $INV0$ に負の定電圧 $Vreg$ を印加すると、前記発振用インバータ $INV0$ の出力が180度位相反転されてゲートにフィードバック入力される。これにより、前記発振用インバータ $INV0$ を構成するPMOS $QP0$ 、NMOS $QN0$ が交互にオンオフ駆動され、水晶発振回路の発振出力が次第に増加し、ついには水晶振動子 $X'tal$ が安定した発振動作を行なうようになる。

【0008】しかし、従来の水晶発振回路では、起動時にも、安定発振後にも、常にPMOS $QP0$ 、NMOS $QN0$ 両トランジスタを交互にオンオフ駆動するように構成されているため、以下に記述する問題があった。

【0009】従来の水晶発振回路では、安定発振後にも常にPMOS $QP0$ 、NMOS $QN0$ を交互にオンオフ駆動している。この場合、PMOSTランジスタ $QP0$ をオン駆動しているときには、水晶振動子 $X'tal$ に充電されたエネルギーのほとんどをそのまま放電する。したがって、次の充電サイクルにおいて、水晶振動子 $X'tal$ をはじめてから充電しなければならず、本発明者は、これが、回路全体の電力消費を節減する上の大きな問題となることを見出した。

【0010】すなわち、水晶発振回路が安定して発振している状態では、水晶振動子 $X'tal$ に充電された電力を充放電サイクルにおいて完全に放電しなくても、安定した発振状態を維持することができる。しかし、従来の回路では、この充放電サイクルにおいて、水晶振動子 $X'tal$ の充電電力をそのまま放電し、再度充電するというサイクルを繰り返していたため、これが回路全体の電力消費を増加させる大きな要因となっていた。

【0011】図5に、前述した問題を解決するために本願発明者によって検討された水晶発振回路を示す。

【0012】本水晶発振回路は、水晶振動子 $X'tal$ 、補償用コンデンサ Cg 、 Cd に加えて、メイン発振用インバータ $INVM$ と、サブ発振用インバータ $INVS$ と、制御用ゲートNMOS $QN5$ 、PMOS $QP5$ とを含む。

【0013】すなわち、この水晶発振回路は、駆動能力が大きい発振用インバータと、駆動能力が小さい発振用インバータとを含み、発振開始動作を容易にするために、電源投入時は、駆動能力が小さい発振用インバータに併用して、駆動能力が大きい発振用インバータを使用して発振動作を開始させる。そして、前記水晶発振回路の安定発振後は、前記駆動能力の大きい発振用インバー

タを停止させて前記駆動能力の小さい発振用インバータにて発振動作を行なうことにより、電源投入時と安定発振時で動作を切り分け、図4に示す水晶発振回路の低消費電力化を図ったものである。

【0014】次に、図5に示される水晶発振回路について説明する。

【0015】前記メイン発振用インバータINVMは、ソースに接地電圧V_{dd}が印加されたPMOSQPMと、ソースに定電圧V_{reg}が印加されたNMOSQNMにより構成されている。そして、前記PMOSQPMとNMOSQNMのゲートは共通に接続されるとともに、前記サブ発振用インバータINVSのゲートと共通に接続されている。前記サブ発振用インバータINVSは、ドレインが共通接続されたPMOSQPS、NMOSQNSにより構成され、前記ドレインはさらに前記メイン発振用インバータINVMの出力部とも接続されている。

【0016】ここで、サブ発振用インバータINVSを構成する前記PMOSQPS、NMOSQNSの電流増幅率 β_{ps} 、 β_{ns} は、前記メイン発振用インバータINVMを構成するPMOSQPMおよびNMOSQNMの電流増幅率 β_{pm} 、 β_{nm} よりも大きくされている。したがって、サブ発振用インバータINVSの駆動能力が、メイン発振用インバータINVMの駆動能力よりも大きくされている。

【0017】そして、前記PMOSQPSのソースとPMOS制御用ゲートQP5のドレインが接続され、かつ前記PMOSQP5のソースには接地電圧V_{dd}が印加され、前記NMOSQNSのソースとNMOS制御用ゲートQN5のドレインが接続され、かつ前記NMOSQN5のソースに定電圧V_{reg}が印加されている。そして、前記PMOS制御用ゲートQP5のゲートはCMOSインバータCIOの出力を受けるように接続されている。

【0018】また、前記CMOSインバータCIOへの入力及び前記NMOS制御用ゲートQN5のゲートへの入力としては、夫々選択信号SEL0が入力される。ここで、前記選択信号SEL0は、水晶発振回路の動作状態によって、入力／非入力とされるものであって、電源投入時にはハイレベル、安定動作時にはロウレベルとされるものである。

*【0019】すなわち、電源投入時は前記選択信号SEL0がハイレベルなので、PMOS制御トランジスタQP5とNMOS制御トランジスタQN5がオンする。よって、電流増幅率の小さいトランジスタを含むメイン発振用インバータINVMと、電流増幅率の大きいトランジスタを含むサブ発振用インバータINVSの2個の発振用インバータを共に使用して、駆動力を増大させて発振動作が起動される。そして、水晶発振回路の安定発振後はメイン発振用インバータINVMだけで駆動力を小さくして発振動作が行なわれることで、水晶発振回路の低消費電力化を図るものである。

【0020】このように、以上の構成の水晶発振回路は、発振開始動作を容易にするために、電流増幅率の大きいトランジスタを含むサブ発振用インバータINVSと、電流増幅率の小さいトランジスタを含むメイン発振用インバータINVMとを設けている。そして、電源投入時は前記メイン発振用インバータINVMと前記サブ発振用インバータINVSにて発振動作を開始させ、安定発振後は、前記サブ発振用インバータINVSを停止させ、前記メイン発振用インバータINVMのみを動作状態として安定発振後の低消費電力化を図っていた。

【0021】しかし、図5に示される水晶発振回路は、発振開始時に発振用インバータの駆動能力を高くすることで、発振動作の安定状態を早期に得ることができるが、この場合、発振開始電圧の絶対値|V_{sta}|が高くなってしまふ。

【0022】水晶発振回路の発振開始電圧の絶対値|V_{sta}|を式1に示す。尚、式1においては、簡略化のためにサブ発振用インバータINVSの発振開始電圧V_{sta}についてを示し、式1中のR_sは水晶振動子の直列共振抵抗、Cはドレイン容量C_Dおよびゲート容量C_G、 β_p は発振用インバータのPMOSの電流増幅率、 β_n は発振用インバータのNMOSの電流増幅率、V_{thp}はサブ発振用インバータINVSのPMOSQPSの閾値電圧、V_{thn}はサブ発振用インバータINVSのNMOSQNSの閾値電圧とする。

【0023】

【数1】

$$\text{式1: } |V_{sta}| = \sqrt{\frac{R_s \omega^2 C^2}{\beta_p \cdot \beta_n}} + |V_{thp}| + V_{thn}$$

式1からも分かるように、発振開始電圧の絶対値|V_{sta}|は、閾値電圧V_{thp}、V_{thn}の依存の方が、電流増幅率 β_p 、 β_n の依存よりも大きい。

【0024】よって、このような水晶発振回路においては、発振開始電圧V_{sta}は前記サブ発振用インバータINVSを構成するPMOSQPSの閾値電圧V_{thpS}、NMOSQNSの閾値電圧V_{thnS}に依存し、また、製造上のばらつきによる前記閾値電圧V_{thpS}およびV_{thnS}への変

動も起因して、発振開始電圧V_{sta}を低くすることは困難であると共に、この製造上のばらつきという問題は、発振回路という回路の特性上、不利なものとなっていた。

【0025】発振開始電圧の絶対値|V_{sta}|を低くするためには、たとえば、電流増幅率 β_p 、 β_n を夫々高くすることによっても行なうことができる。しかし、たとえば、電流増幅率 β_p 、 β_n を100倍とすることは、前記

PMOSQPMおよびNMOSQNMの夫々のチャネル幅を100倍とすることであり、集積度向上の面で好ましくないという問題がある。また、チャネル幅を増加させると、ドレイン素子も増大し、ドレイン-基板間の寄生容量が増加することになり、消費電力が増加してしまうことになる。以上、サブ発振用インバータINV5について例を挙げて説明したが、前記メイン発振用インバータINV6についても同様のことがいえる。

【0026】また、前記時計および携帯用電子機器に内蔵された銀電池においては、電源仕様が1.58Vであって、前記サブ発振用インバータINV5を構成するPMOSQPM、NMOSQNMの製造上のばらつきにより、閾値電圧 V_{thpM} 、 V_{thnM} が変動した場合の動作確保が困難であった。

【0027】さらに、充電式腕時計に内蔵された、リチウムイオンにより構成される2次電池等を電源とする場合、例えば、電源仕様が1.4Vであって、この場合も前記サブ発振用インバータINV5を構成するPMOSQPS、NMOSQNSの製造上のばらつきにより、閾値電圧 V_{thpS} 、 V_{thnS} が変動した場合の動作確保が困難であり、さらに充電に要する時間が長く係り過ぎるという問題があった。

【0028】

【発明が解決しようとする課題】本発明は、上述したような問題を鑑みてなされたものであり、その目的は、発振用インバータを含む発振回路、半導体装置、携帯用電子機器、時計において、駆動能力の高い発振用インバータと、駆動能力の低い発振用インバータとを、夫々を構成するトランジスタの閾値電圧を調整することにより形成し、水晶発振回路への電源投入から前記水晶発振回路の安定発振動作開始までと、前記安定発振動作開始以降における、前記発振用インバータの駆動能力を閾値電圧の変更により選択可能とした、低消費電力駆動の発振回路を提供することにある。

【0029】

【課題を解決するための手段】請求項1記載の発振回路は、第1の閾値電圧をもつトランジスタを少なくとも1つ含む第1の発振用インバータと、第1の閾値電圧とは異なる、第2の閾値電圧をもつトランジスタを少なくとも1つ含む第2の発振用インバータと、前記第1および前記第2の発振用インバータの出力側と入力側に接続された水晶発振子を有し、前記第1及び前記第2の発振用インバータの出力信号を位相反転して、前記発振用インバータにフィードバック入力するフィードバック回路と、を含み、第1の期間は、前記第1の発振用インバータにて発振動作を行ない、第2の期間は、前記第2の発振用インバータにて発振動作時を行なうことを特徴とする。

【0030】したがって、請求項1記載の発振回路によれば、前記第1の期間と、前記第2の期間とで、夫々駆

動能力が異なる前記第1の発振用インバータと前記第2の発振用インバータを使い分けることができ、前記フィードバック回路における前記水晶発振子に充電されたエネルギーを効率的に利用して、回路規模を増大させることなく、安定且つ消費電力の低い発振動作が可能となる。

【0031】請求項2記載の発振回路は、請求項1に記載の特徴点に加え、前記第1の閾値電圧の絶対値は、前記第2の閾値電圧の絶対値よりも低いことを特徴とする。

【0032】したがって、請求項2記載の発振回路によれば、不純物打ち込みによって、前記第1の閾値電圧の絶対値を低くすることで、前記第1の発振用インバータの駆動能力を大きくし、前記第2の閾値電圧の絶対値を高くすることで、前記第2の発振用インバータの駆動能力を小さくすることを容易に行なうことができる。

【0033】請求項3記載の発振回路は、請求項1乃至2のいずれかに記載の特徴点に加え、前記第1の閾値電圧をもつトランジスタを除く、前記第1の発振用インバータに含まれるすべてのトランジスタの閾値電圧の絶対値は、前記第1の閾値電圧の絶対値以上かつ前記第2の閾値電圧の絶対値以下であり、前記第2の閾値電圧をもつトランジスタを除く、前記第2の発振用インバータに含まれるすべてのトランジスタの閾値電圧の絶対値と同等もしくは低いことを特徴とする。

【0034】したがって、請求項3記載の発振回路によれば、前記第1の閾値電圧をもつトランジスタおよび前記第2の閾値電圧をもつトランジスタ以外のトランジスタは、すべて同等の駆動能力を有し、前記第1の閾値電圧をもつトランジスタと前記第2の閾値電圧をもつトランジスタのみで、前記第1の発振用インバータと前記第2の発振用インバータの駆動能力を制御することができる。

【0035】請求項4記載の発振回路は、請求項1乃至3のいずれかに記載の特徴点に加え、前記第1の発振用インバータに含まれるすべてのトランジスタは、絶対値で前記第1の閾値電圧を有し、前記第2の発振用インバータに含まれるすべてのトランジスタは、絶対値で前記第2の閾値電圧をもつことを特徴とする。

【0036】したがって、請求項4記載の発振回路によれば、前記第1の発振用インバータに流れる電流と、前記第2の発振用インバータに流れる電流を、前記第1の期間と前記第2の期間で切り換えることができ、前記第1の発振用インバータを流れる電流と、前記第2の発振用インバータを流れる電流の差を大きくすることができる。

【0037】請求項5記載の発振回路は、請求項1乃至4のいずれかに記載の特徴点に加え、前記第1の発振用インバータと、前記第2の発振用インバータは、ともに

第1導電型のトランジスタと第2導電型のトランジスタとを含むことを特徴とする。

【0038】したがって、請求項5記載の発振回路によれば、CMOSにより発振用インバータを構成することができるので、低消費電力かつ特性の良い発振を得ることができる。

【0039】請求項6記載の発振回路によれば、請求項1乃至3のいずれかに記載の特徴点に加え、前記第1の期間は電源投入から安定発振までの期間であって、前記第2の期間は安定発振から発振終了までの期間であることを特徴とする。

【0040】したがって、請求項6記載の発振回路によれば、電源投入時から発振動作が安定するまでの期間と、発振動作が安定してから発振動作が終了するまでの期間とで、前記第1あるいは前記第2の発振用インバータにおける駆動能力を使い分けることができるため、前記水晶発振子に充電されたエネルギーを効率よく利用することができ、低消費電力化が図れる。

【0041】請求項7記載の発振回路は、請求項6記載の特徴点に加え、前記発振回路は発振用インバータ切り換え回路を含み、前記発振用インバータ切り換え回路は、前記電源投入から安定発振までの期間を検出し、前記第1の発振用インバータの選択を行ない、前記安定発振から発振終了までの期間に、前記第2の発振用インバータの選択を行なうことを特徴とする。

【0042】したがって、請求項7記載の発振回路によれば、前記発振用インバータ切り換え回路を設けることによって、電源投入から安定発振までの期間には、駆動能力の大きい前記第1の発振用インバータにて発振動作を行ない、安定発振から発振終了までの期間には駆動能力の小さい前記第2の発振用インバータにて発振動作を行なうことで低消費電力化が図れる。

【0043】請求項8記載の発振回路は、請求項7記載の特徴点に加え、前記発振用インバータ切り換え回路は、前記発振回路への電源投入を検出する電源投入検出回路と、電源が投入された時点から経過時間を測定して、前記第1の期間から前記第2の期間への切り換え時点を検出するタイマーと、を含み、前記電源が投入された時点で前記第1の発振用インバータの選択を行ない、前記タイマーが前記第1の期間から前記第2の期間への切り換え時点を検出した時点で、前記第2の発振用インバータの選択を行なうことを特徴とする。

【0044】したがって、請求項8記載の発振回路によれば、前記発振用インバータ切り換え回路において、前記電源投入検出回路によって電源投入を検知して、駆動能力の大きい前記第1の発振用インバータを起動させ、前記タイマーにより予め設定された時間の経過後に、駆動能力の小さい前記第2の発振用インバータを起動させることができ、発振回路の低消費電力化を図ることができる。また、前記タイマーの代わりに前記電源投入回路

にて時定数を、前記第1の期間から前記第2の期間への切り換え時点となるように設定することにより、構成することもできる。

【0045】請求項9記載の発振回路によれば、請求項1乃至3のいずれかに記載の特徴点に加え、前記第1および前記第2の発振用インバータは共に第1の電位と、該第1の電位よりも低い第2の電位との間に設けられ、前記第1の電位と前記第2の電位との間に、前記第1の発振用インバータへの電源供給を制御する第1の制御回路と、前記第2の発振用インバータへの電源供給を制御する第2の制御回路とが設けられてなることを特徴とする。

【0046】したがって、請求項9記載の発振回路によれば、前記第1の発振用インバータおよび前記第2の発振用インバータへの電源の供給を、前記第1の制御回路と、前記第2の制御回路により制御することができ、前記第1の発振用インバータおよび前記第2の発振用インバータを前記第1の電位および前記第2の電位と接続または切り離して、動作／非動作状態を選択することができる。

【0047】請求項10記載の半導体装置によれば、第1の閾値電圧をもつトランジスタを少なくとも1つ含む第1の発振用インバータと、前記第1の閾値電圧の絶対値よりも、その絶対値が低い第2の閾値電圧をもつトランジスタを少なくとも1つ含む第2の発振用インバータと、外付けされた水晶発振子と出力側と入力側が接続された前記第1及び前記第2の発振用インバータの出力信号を位相反転して、前記発振用インバータにフィードバック入力するフィードバック回路と、を含み、前記第1の発振用インバータにおいて、前記第1の閾値電圧をもつトランジスタを除くすべてのトランジスタの閾値電圧の絶対値は、前記第2の閾値電圧の絶対値以上かつ前記第1の閾値電圧の絶対値以下である第3の閾値電圧を有し、前記第2の発振用インバータにおいて、前記第2の閾値電圧をもつトランジスタを除くすべてのトランジスタは、前記第3の閾値電圧の絶対値と同等または低い前記第4の閾値電圧を有し、第1の期間は、前記第2の発振用インバータにて発振動作を行ない、第2の期間は、前記第1の発振用インバータにて発振動作時を行なうことを特徴とする発振回路を含むことを特徴とする。

【0048】したがって、請求項10記載の半導体装置によれば、前記第1の期間と、前記第2の期間とで、夫々駆動能力が異なる前記第1の発振用インバータと前記第2の発振用インバータを使い分けることができ、不純物打ち込みによって、前記第1の閾値電圧の前記第1の発振用インバータの駆動能力を大きくし、前記第2の閾値電圧の絶対値を高くすることで、前記第2の発振用インバータの駆動能力を小さくすることを容易に行なうことができ、前記フィードバック回路における前記水晶発振子に充電されたエネルギーを効率的に利用して、安定

且つ消費電力の低い発振動作が可能となり、半導体装置の低消費電力化が実現できる。更に、発振回路の規模を増大させることがないため、半導体装置の高集積化、大容量化が図れる。

【0049】請求項11記載の半導体装置は、請求項10に記載の特徴点に加え、前記第1の期間は電源投入から安定発振までの期間であって、前記第2の期間は安定発振から発振終了までの期間であることを特徴とする。

【0050】したがって、請求項11記載の半導体装置によれば、電源投入時から発振動作が安定するまでの期間と、発振動作が安定してから発振終了までの期間で、前記第1あるいは第2の発振用インバータにおける駆動能力を使い分けることができるため、前記水晶発振子に充電されたエネルギーを効率よく利用することができ、低消費電力化が図れる。

【0051】請求項12記載の半導体装置は、請求項10または11記載の特徴点に加え、前記第1の閾値電圧の絶対値と、前記第3の閾値電圧の絶対値は同等であって、前記第2の閾値電圧の絶対値と、前記第4の閾値電圧の絶対値は同等であることを特徴とする。

【0052】したがって、請求項12記載の半導体装置によれば、前記第1の発振用インバータに流れる電流と、前記第2の発振用インバータに流れる電流を、前記第1の期間と前記第2の期間で切り換えることができ、前記第1の発振用インバータを流れる電流と、前記第2の発振用インバータを流れる電流の差を大きくすることができ、前記第1の発振用インバータと前記第2の発振用インバータとの駆動能力の差を大きくすることができ、半導体装置の低消費電力化を図ることができる。

【0053】請求項13記載の半導体装置は、請求項10乃至12のいずれかにおいて、前記第1の発振用インバータと、前記第2の発振用インバータは、ともに第1導電型のトランジスタと第2導電型のトランジスタとを含むことを特徴とする。

【0054】したがって、請求項13記載の半導体装置によれば、CMOSにより発振用インバータを構成することができるので、低消費電力かつ特性の良い発振を得ることができる。

【0055】請求項14記載の携帯用電子機器は、請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から動作基準信号を形成することを特徴とする。

【0056】したがって、請求項14記載の携帯用電子機器によれば、携帯用電子機器の製造ばらつきによらず、電子回路の低消費電力化が図れ、携帯用電子機器において、発振動作を安定して行なうことができるだけでなく、使用電池の長寿命化を図ることができ、携帯用電子機器の使い勝手を向上することができる。

【0057】請求項15記載の時計は、請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力

から時計基準信号を形成することを特徴とする。

【0058】したがって、請求項15記載の時計によれば、時計の製造ばらつきによらず、電子回路の低消費電力化が図れ、時計において、発振動作を安定して行なうことができるだけでなく、使用電池の長寿命化を図ることができ、時計の使い勝手を向上することができる。

【0059】

【発明の実施の形態】図1には、本発明の好適な実施の形態1にかかる水晶発振回路が示されている。本実施の形態1の水晶発振回路は、クォーツタイプの腕時計に使用される水晶発振回路である。尚、前記図5に示す回路と対応する部材には、同一符号を付し、その説明は省略する。

【0060】本実施の形態1の水晶発振回路は、閾値電圧の低い、PMOSおよびNMOSを含む発振用インバータと、閾値電圧の高い、PMOSおよびNMOSを含む発振用インバータとを含む。そして、水晶発振回路への電源投入時は閾値電圧の低いMOSにて構成された発振用インバータで発振動作を開始させ、水晶発振回路の安定発振後は、閾値電圧の高いMOSにて構成された発振用インバータに切り替えて発振動作させるようにしたものである。

【0061】図1に示される水晶発振回路について説明する。本実施の形態1の水晶発振回路は、第1の発振用インバータINV1と、第2の発振用インバータINV2と、P/NMOS制御ゲートQP3、QP4、QN3、QN4と、水晶振動子X'talと、フィードバック回路を構成する高抵抗Rfとを含んで構成されている。前記フィードバック回路は、抵抗Rf以外に、位相補償用のコンデンサCd、Cgを含んで構成され、前記発振用インバータのドレイン出力を、180度位相反転されたゲート入力として第1の発振用インバータINV1のゲートへフィードバック入力するものである。

【0062】発振用インバータとしては、PMOSQP1とNMOSQN1を含む第1の発振用インバータINV1、PMOSQP2とNMOSQN2を含む第2の発振用インバータINV2が形成されている。そして前記第1の発振用インバータINV1、INV2は、それぞれ第1の電位側とこれよりも低い電圧の第2の電位側に接続され、両電位の電位差により電力供給を受け駆動されるように構成されている。ここで、本実施の形態1の水晶発振回路においては、前記第1の電位は接地電圧Vddに設定され、第2の電位は定電圧Vregに設定されている。ここで、特に図示しないが、本実施の形態1の発振回路は、定電圧発生回路により形成された負の定電圧Vregを受けるように構成され、前記第1の発振用インバータINV1および前記第2の発振用インバータINV2は、接地電圧Vddおよび負の定電圧Vreg間で発振が行なわれるものである。

【0063】前記第1の発振用インバータINV1を構

成する、PMOSQP1, NMOSQN1の夫々の閾値電圧 $|V_{thp1}|$, V_{thn1} は、前記第2の発振用インバータINV2を構成する、PMOSQP2, NMOSQN2の夫々の閾値電圧 $|V_{thp2}|$, V_{thn2} よりも低くされて形成されている。このような閾値電圧の制御については、トランジスタ形成時の不純物の打ち込み濃度を制御することにより、夫々の発振用インバータごとに閾値電圧が異なるように形成される。そして、たとえば、これらの閾値電圧 V_{thn1} と V_{thn2} , V_{thp1} と V_{thp2} との差を0.1V~0.3V程度にすることができる。

【0064】そして、前記第1の発振用インバータINV1, INV2は、一端に接地電圧Vddが印加された前記コンデンサCgの他端と、夫々の入力ゲートが共通に電氣的に接続されている。さらに、前記第1の発振用インバータINV1, INV2は、夫々の出力ノードが共通に接続されると共に、接地電圧Vddが一端に印加されたコンデンサCpの他端、および水晶振動子X'talの一端と接続される。また、前記水晶振動子X'talの他端は、前記コンデンサCgの他端、前記第1の発振用インバータINV1, INV2のゲート入力、フィードバック抵抗Rfの一端と接続される。更に、前記フィードバック抵抗Rfの他端は第1の発振用インバータINV1, INV2の各出力部と接続されており、前記第1の発振用インバータINV1, INV2の出力は、各ゲートにフィードバックされている。

【0065】前記CMOSインバータCI1の出力を受けるように接続された前記制御用PMOSQP3と、制御用NMOSQN3の各ゲートには常に相補的な電圧レベルの選択信号SEL1が入力されることにより、オンオフが制御され、接地電圧Vddおよび定電圧Vregと第1の発振用インバータINV1との接続/非接続が制御されている。

【0066】同様に、前記制御用NMOSQP4と、CMOSインバータCI1の出力を受けるように接続された前記制御用NMOSQN4の各ゲートには、常に相補的な電圧レベルの選択信号SEL1が入力されることにより、オンオフが制御され、接地電圧Vddと電源電圧Vssと第2の発振用インバータINV2との接続/非接続が制御されている。

【0067】そして、前記第1の発振用インバータINV1は、選択信号SEL1がゲートに入力される制御用NMOSQN3、及び前記CMOSインバータCI1を介してゲートに前記選択信号SEL1の反転信号が入力される制御用PMOSQP3間に、接続されて設けられている。

【0068】そして、前記第2の発振用インバータINV2は、前記CMOSインバータCI1を介して前記選択信号SEL1の反転信号がゲートに入力される制御用NMOSQN4及び選択信号SEL1がゲートに入力される、制御用PMOSQP4間に、接続されて設けられてい

る。

【0069】また、前記第1の発振用インバータINV1とINV2は択一的に動作されるものであり、前記第1の発振用インバータINV1が動作状態で、前記第2の発振用インバータINV2が非動作状態、又は、前記第1の発振用インバータINV1が非動作状態で、前記第2の発振用インバータINV2が動作状態とされる。

【0070】つまり、本実施の形態の発振回路においては、発振回路への電源投入時は低い閾値電圧 V_{thp1} , V_{thn1} のトランジスタを有する第1の発振用インバータINV1で発振動作を容易に開始させ、安定発振開始後は高い閾値電圧 V_{thp2} , V_{thn2} のトランジスタを有する第2の発振用インバータINV2に発振動作を切り替えられるものである。

【0071】すなわち、発振回路への電源投入時から安定発振開始時までの間は、選択信号SEL1をハイレベルとすることによって、制御用PMOSQP3がオン、QP4がオフし、制御用NMOSQN3がオン、QN4がオフする。よって、前記第1の発振用インバータINV1が、接地電圧Vdd及び定電圧Vregと電氣的に接続され、前記第2の発振用インバータINV2が接地電圧Vdd及び定電圧Vregと電氣的に切り離される。したがって、低い閾値電圧 $|V_{thp1}|$, V_{thn1} で形成されたトランジスタを含む第1の発振用インバータINV1が選択される。

【0072】前述したように、閾値電圧は動作開始電圧Vstaに大きく依存しているので、動作開始電圧の絶対値 $|V_{sta}|$ を低くすることができ、前記第1の発振用インバータINV1により高駆動能力をもって発振動作を開始することができる。

【0073】そして、一定時間経過後に、水晶発振子X'talの安定発振動作が得られるようになった時に、前記選択信号SEL1がロウレベルとされることによって、前記制御用PMOSQP3がオフ、QP4がオンし、前記制御用NMOSQN3がオフ、QN4がオンする。よって、前記第1の発振用インバータINV1が接地電圧Vdd及び定電圧Vregと電氣的に切り離され、前記第2の発振用インバータINV2が接地電圧Vdd及び定電圧Vregと電氣的に接続される。したがって、水晶発振回路の安定発振時に、高い閾値電圧 $|V_{thp2}|$, V_{thn2} で形成されたトランジスタを含む第2の発振用インバータINV2が選択される。そして、前記第2の発振用インバータINV2により、水晶発振子X'talに充電されたエネルギーを使って、低駆動能力で発振動作を発振動作終了までの間継続させる。

【0074】このように、本実施の形態の水晶発振回路によれば、電源投入時は低い閾値電圧、すなわち駆動能力の高い発振用インバータにて発振開始電圧の絶対値 $|V_{sta}|$ を低くして発振動作を容易に起動させ、安定発振後は、高閾値電圧、すなわち駆動能力の低い発振用イン

パータに切り替えて発振させることにより、発振回路を、効率よくエネルギーを使用して、低消費電力で動作させることができる。

【0075】すなわち、前記閾値電圧 $|V_{thp}|$ 、 V_{thn} を0.5V、0.4V、0.3V等のような閾値電圧に制御することはプロセス上容易であるため、前述したような方法により、従来のように電流増幅率を高くして発振開始電圧の絶対値 $|V_{sta}|$ を低くするよりも、閾値電圧を下げて、発振開始電圧の絶対値 $|V_{sta}|$ を低下させ、発振開始を容易にして低消費電力化を図る方が有利であることがわかる。

【0076】また、本実施の形態の発振回路においては、従来の発振回路と比較して、素子数の大きな増加はないため、半導体装置の高集積化、大容量化に対応することができる。そして、前記制御用PMOSQP3を前記第1の発振用インバータINV1におけるPMOSQP1と隣接させて設け、前記制御用NMOSQN3をNMOSQN1と隣接させて設け、同様に、前記制御用PMOSQP4を前記第2の発振用インバータINV2におけるPMOSQP2と隣接させて設け、前記制御用NMOSQN4をNMOSQN2と隣接させて設けることにより、効率のよい配線レイアウトが可能となり、発振回路および半導体装置のさらなる小型化、高集積化が可能となる。

【0077】次に、前記選択信号SEL1を形成する回路の好適な実施の形態について選択信号形成回路を含む発振回路の機能ブロック図を図2(a)に、各ラインの信号波形について図2(b)に示す。

【0078】本実施の形態の選択信号形成回路50は、図1に示す水晶発振回路10と接続されているものであり、分周回路20、クロックタイマーセット回路30、電源投入検出回路40を含む。

【0079】前記電源投入検出回路40は、コンデンサC1、抵抗R1、CMOSインバータCI2により構成され、前記コンデンサC1の一端に接地電圧Vddが印加されている。そして、前記抵抗R1の一端に電源電圧Vssが印加され、前記コンデンサC1の他端および前記抵抗R1の他端が結合され、前記抵抗R1の他端とCMOSインバータCI2の入力ゲートが接続されている。さらに、前記選択信号形成回路50と前記水晶発振回路10においては、前記選択信号形成回路50に含まれる前記クロックタイマーセット回路30の出力信号としての選択信号SEL1が、前記水晶発振回路10に入力された、フィードバック回路が形成されている。

【0080】以下に、図2(a)および(b)を用いて、選択信号SEL1の形成方法について説明する。

【0081】図2(a)の回路に電源が投入されることにより、水晶発振回路10および選択信号形成回路50が起動する。そして、電源投入検出回路40において、接地電圧VddからコンデンサC1、抵抗R1を介して電源電圧Vssに向かって電流が流れるため、ライン101

の電位は徐々に低下する。そして、この電位はCMOSインバータCI2への入力電位となるため、ライン101の電位が前記CMOSインバータCI2の出力であるライン102の電位を、電源電圧Vssから接地電位Vddへ切り替える。

【0082】一方、前記電源投入により、前記水晶発振回路10の起動により、水晶振動子X'talによる発振が開始され、たとえば32kHzのクロック信号を分周回路20が受け、前記クロック信号を所定の周波数、たとえば、1Hzに分周して前記クロックタイマーセット回路30に出力される。

【0083】そして、前記電源投入検出回路40とCMOSインバータCI2によって制御されるライン102の電位が、電源投入直後の電源電圧Vssレベルの時にクロックタイマーセット回路30をセットし、この時ハイレベルの選択信号SEL1が水晶発振回路10へ出力される。このことにより、図1に示した第1の発振用インバータINV1が起動される。

【0084】次に、前記電源投入検出回路40とCMOSインバータCI2によって制御されるライン102の電位は、前述したように電源電圧Vssから接地電位Vddへ切り替わる。すると、クロックタイマーセット回路30のセットは解除されるので、前記クロックタイマーセット回路30は分周回路20からのクロック受付が可能となる。そして、前記水晶発振回路が発振を開始し、更に安定状態となれば分周回路20が1Hzのクロック信号を、タイマーセット回路30に供給するので、タイマーセット回路30が前記1Hzのクロック信号の所定数を計数すると、選択信号SEL1のレベルをハイレベルからロウレベルに切り替える。このことにより、図1に示した第2の発振用インバータINV2が起動される。そして、この状態は前記水晶発振回路が安定発振している限り継続する。

【0085】以上のように、選択信号形成回路により、発振回路の発振動作開始時から安定発振動作開始までと、安定発振動作開始後から発振動作終了までの駆動能力の異なる発振用インバータの使い分けができ、消費電力を低減することが可能となる。

【0086】ここで、本実施の形態においては、クロックタイマーセット回路40を使用して、クロック信号をカウントすることにより水晶発振回路10の安定発振開始を検出して選択信号の電圧レベルを切り換える例について記載したが、このクロックタイマーセット回路40を設けずに、前記電源投入検出回路40により選択信号の電圧レベルを切り換えることもできる。この場合、コンデンサC1および抵抗R1の大きさを調整し、安定発振開始までの時間を確保する時定数を得るように、前記電源投入検出回路40を構成すればよい。

【0087】このように、本発明の発振回路によれば、低い閾値電圧を有する発振用インバータを動作させるこ

とにより、発振開始電圧の絶対値を容易に低くすることができ、製造ばらつきに関係なく、動作電流を増加させ、大電流を発振用インバータに流すことにより発振開始動作を容易に行なうことを可能とする。さらに、発振回路の安定発振動作後は、高い閾値電圧の発振用インバータと水晶発振子に充電されたエネルギーを利用して発振動作させることにより動作電流を減少させることができ、低消費電力化が図れる。

【0088】ここで、このようにして得られた本実施の形態の発振回路における発振用インバータでの安定発振時の発振動作についてのグラフを図3に示し、図1の発振回路における発振動作について説明する。図3においては、横軸を時間とし、ドレイン波形と、ゲート波形における時間軸を共通として示す。安定発振開始時に第1の発振用インバータINV1から第2の発振用インバータINV2に切り換えられた水晶発振回路において、前記第2の発振用インバータINV2の駆動能力に応じてゲート入力波形の振幅が増幅される。そして、前記ゲート入力波形に対してドレイン出力波形は位相180度にて反転される。そして、ドレイン容量 C_D は、高周波成分をカットし、発振周波数成分だけを有効にして、水晶発振回路の高調波発振を防ぐフィルターの役目を果たしている。そして、前記ドレイン容量 C_D 、水晶振動子 $X'tal$ 、ゲート容量 C_G を含むフィードバック回路はドレイン波形の位相を180度変換させるものである。

【0089】したがって、本実施の形態の発振回路によれば、従来と比較してトランジスタ数を大幅に増加させることなく、構成することができるので、低消費電力かつ高集積な、コストの低い、安定な発振出力特性をもつ発振回路を構成することができる。

【0090】以上、本実施の形態の発振回路について説明したが、本実施の形態においては、閾値電圧の設定を第1の発振用インバータINV1の方が第2の発振用インバータINV2よりも低いもの、すなわち、 $V_{thn1} < V_{thn2}$ 、 $|V_{thp1}| < |V_{thp2}|$ として記載したが、これに限定されることはない。たとえば、閾値電圧の設定を $INV1 > INV2$ 、すなわち、 $V_{thn1} > V_{thn2}$ 、 $|V_{thp1}| > |V_{thp2}|$ として設定することもできる。ただし、この場合には、前記発振回路への電源投入時の選択信号SEL1の電圧をロウレベルとし、安定発振時の電圧をハイレベルとすることが必要となる。

【0091】また、前記第1の発振用インバータINV1における1つのトランジスタと、前記第2の発振用インバータINV2における1つのトランジスタのみに着目して、本発明の目的を達成することもできる。

【0092】すなわち、前記第1の発振用インバータINV1に含まれるNMOSQN1の閾値電圧 V_{thn1} およびPMOSQP1の閾値電圧の絶対値 $|V_{thp1}|$ のうちのいずれかが、前記第2の発振用インバータINV2に含

まれるNMOSQN2の閾値電圧 V_{thn2} およびPMOSQP2の閾値電圧の絶対値 $|V_{thp2}|$ のうちのいずれかよりも閾値電圧が低く、かつ他のトランジスタの閾値電圧の絶対値が夫々略同等または第1の発振用インバータINV1に含まれるトランジスタの方が前記第2の発振用インバータINV2に含まれるトランジスタよりも低いという条件を満たすようにすれば良い。

【0093】つまり、(1) $V_{thn1} < |V_{thp2}|$ ($|V_{thp1}| = V_{thn2}$ もしくは $|V_{thp1}| < V_{thn2}$)、(2) $V_{thn1} < V_{thn2}$ ($|V_{thp1}| = |V_{thp2}|$ もしくは $|V_{thp1}| < |V_{thp2}|$)、(3) $|V_{thp1}| < V_{thn2}$ ($V_{thn1} = |V_{thp2}|$ もしくは $V_{thn1} < |V_{thp2}|$)、(4) $|V_{thp1}| < |V_{thp2}|$ ($V_{thn1} = V_{thn2}$ もしくは $V_{thn1} < V_{thn2}$) のうちの1つの条件を満たすことによっても、前記第1の発振用インバータINV1と、前記第2の発振用インバータINV2の駆動能力を変えることが可能である。また、この場合、前記第1の発振用インバータと、前記第2の発振用インバータとにおいて、夫々の1つのトランジスタのみに着目して、発振回路の駆動能力を前記各期間にて異なるようにしているものである。よって、前記2つのトランジスタの夫々の閾値電圧の差は、可能な範囲で大きくすることが望ましい。

【0094】<実施の形態2>次に、図6に腕時計に用いられる電子回路の一例が示されている。

【0095】この腕時計は、図示しない発電機構を内蔵している。使用者が腕時計を装着し腕を動かすと、発電機構の回転錘が回転し、そのときの運動エネルギーにより発電ロータが高速回転され、発電ステータス側に設けられた発電コイル300から交流電圧が出力される。

【0096】この交流電圧が、ダイオード302で整流され、二次電池301を充電する。この二次電池301は、昇圧回路303および補助コンデンサ304と共に主電源を構成する。

【0097】本実施の形態では、二次電池の電圧が低くて時計の駆動電圧に満たないときには、昇圧回路303により二次電池の電圧を時計駆動可能な高電圧に変換し、補助コンデンサ304に蓄電する。そして、この補助コンデンサ304の電圧を電源として時計回路が動作する。

【0098】この時計回路は、実施の形態1に記載した発振回路を含む半導体装置として構成されており、この半導体装置に端子を介して接続された水晶振動子 $X'tal$ を用いて予め設定された発振周波数、例えば、32768Hzの周波数の発振出力を生成し、この発振出力を分周することにより、一秒ごとに極性の異なる駆動パルスを出力するように構成されている。この駆動パルスは、時計回路に接続されたステップモータの駆動コイル306へ入力される。これにより、図示しないステップモータは、駆動パルスが通電されるごとにロータを回転駆動し、図示しない時計の秒針、分針、時針を駆動し、

時刻を表示板にアナログ表示することになる。

【0099】ここで、本実施の形態の時計回路330は、前述した主電源から供給される電圧により駆動される電源電圧回路部220と、この電源電圧 V_{ss} からこの値よりも低い所定の一定電圧 V_{reg} を生成する定電圧発生回路210と、この定電圧 V_{reg} により駆動される定電圧動作回路部240とを含んで構成される。

【0100】図7には、前記時計回路330のより詳細な機能ブロック図が示されている。

【0101】定電圧動作回路部230は、外部接続された水晶振動子 $X'tal$ を一部に含んで構成された実施の形態1に記載した水晶発振回路10と、波形整形ゲート201と、高周波分周回路202とを含んで構成される。

【0102】前記電源電圧回路部220は、レベルシフタ203と、中低周波分周回路204と、その他の回路205とを含んで構成される。なお、本実施の形態の時計回路では、前記電源電圧回路部220と、定電圧発生回路210とは、主電源から供給される電源電圧 V_{ss} により駆動される電源電圧動作回路部240を構成している。また、前記水晶発振回路は、電源投入時から安定発振が開始されるまでの期間、高駆動能力にて発振動作が行なわれる。

【0103】前記水晶発振回路10は、水晶振動子 $X'tal$ を用いて基準周波数 $f_s = 32768\text{Hz}$ の正弦波出力を波形整形ゲート201に出力する。

【0104】前記波形整形ゲート201は、この正弦波出力を矩形波に整形した後、高周波分周回路202へ出力する。

【0105】前記高周波分周回路202は、基準周波数 32768Hz を 2048Hz まで分周し、その分周出力をレベルシフタ203を介して中低周波分周回路204へ出力する。

【0106】前記中低周波分周回路204は、 2048Hz まで分周された信号を、さらに 1Hz まで分周し、その他の回路205へ入力する。

【0107】前記その他の回路205は、 1Hz の分周信号に同期してコイルを通電駆動するドライバ回路を含んで構成され、この 1Hz の分周信号に同期して時計用駆動用ステップモータを駆動する。

【0108】そして、前記水晶発振回路10の発振動作が安定した後、前記水晶発振回路10の駆動能力が小さくされる。

【0109】本実施の形態の時計回路において、主電源から供給される電源電圧 V_{ss} により回路全体が駆動される電源電圧動作回路部240以外に、これにより低い定電圧 V_{reg} で駆動される定電圧動作回路部220を設けたのは以下の理由による。

【0110】すなわち、このような時計回路では、長期間安定した動作を確保するために、その消費電力をさら

に低減することが必要となる。

【0111】通常、回路の消費電力は、信号の周波数、回路の容量に比例し、さらに供給電源電圧の二乗に比例して増大する。

【0112】ここで、時計回路に着目してみると、回路全体の消費電力を低減するためには、回路各部に供給する電源電圧を低い値、たとえば定電圧 V_{reg} に設定すれば良い。

【0113】次に、信号周波数に着目してみると、時計回路は、信号周波数が高い水晶発振回路10、波形整形ゲート201、高周波分周回路202と、それ以外の回路205とに大別することができる。この信号の周波数は、前述したように回路の消費電力と比例関係がある。

【0114】そこで、本実施の形態の定電圧発生回路210は、主電源から供給される電源電圧 V_{ss} から、それより低い定電圧 V_{reg} を生成し、これを高周波信号を扱う回路部230、すなわち水晶発振回路10、波形整形ゲート201、高周波分周回路202へ供給している。このように、前記高周波信号を扱う回路230に対して供給する駆動電圧を低くすることにより、前述した水晶発振回路自体消費電力を低消費電力化できるだけでなく、定電圧発生回路210の負担をさほど増加させることなく、時計回路全体の消費電力を効果的に低減することができる。

【0115】なお、本実施の形態において、高周波分周回路202と中低周波分周回路204との間にレベルシフタ203を設けたのは、以下の理由による。

【0116】高周波分周回路202の出力波高値は、定電圧 V_{reg} レベルであり、主電源の電源電圧 V_{ss} の波高値より小さい。このため、前記電源電圧 V_{ss} で駆動されている中低周波分周回路204に、高周波分周回路202の定電圧 V_{reg} レベルの出力をそのまま入力しても、この入力値が中低周波分周回路202の初段のロジックレベルの電圧を超えないため、中低周波分周回路204が正常に動作しない。よって、前記中低周波分周回路204が正常に動作するように、前記レベルシフタ203を使い、前記高周波分周回路202の出力波高値を定電圧 V_{reg} レベルから電源電圧 V_{ss} レベルまで引き上げている。

【0117】以上述べたように、本実施の形態の時計回路およびこれを含む電子回路は、実施の形態1の水晶発振回路を含んでいるために、電源投入時から安定発振開始までの期間は、発振開始電圧を低くして発振回路の駆動能力を大きくし動作を安定させ、安定発振開始から発振終了までの期間は、発振回路の駆動能力を小さくすることにより、電子回路、時計回路の低消費電力化が図れる。したがって、前述したような、携帯用の電子機器または時計において、発振動作を安定して行なうことができ、携帯用の電子機器または時計の使い勝手を向上する

21

ことができる。

【0118】

【図面の簡単な説明】

【図1】本発明による実施の形態1の発振回路の概略図である。

【図2】本発明による実施の形態1の選択信号形成回路の概略図および夫々の電位を示すタイミングチャートである。

【図3】本発明による実施の形態1の発振回路のタイミングチャートの概略である。

【図4】従来の発振回路の概略図である。

【図5】本発明に先立って検討された水晶発振回路の概略図である。

【図6】本発明による水晶発振回路を含む時計回路の機能ブロックの概略図である。

【図7】本発明による水晶発振回路を含む電子回路の機能ブロックの概略図である。

【符号の説明】

10 水晶発振回路

22

20 分周回路

30 クロックタイマーセット回路

40 電源投入検出回路

50 選択信号形成回路

201 波形整形用ゲート

202 高周波分周回路

203 レベルシフタ

204 中低周波分周回路

205 その他回路

10 210 定電圧発生回路

220 電源電圧回路部

230 定電圧駆動動作回路部

240 電源電圧動作回路

300 発電コイル

301 二次電池

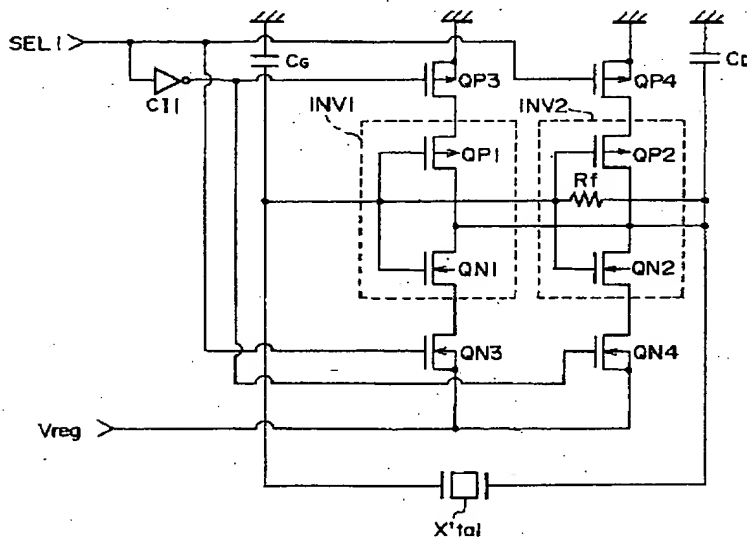
302 ダイオード

303 昇圧回路

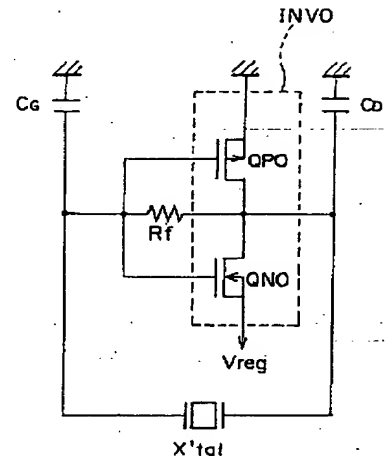
304 補助コンデンサ

306 時計用モータコイル

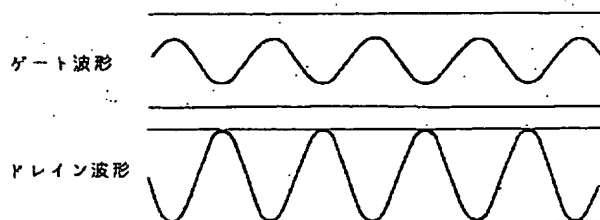
【図1】



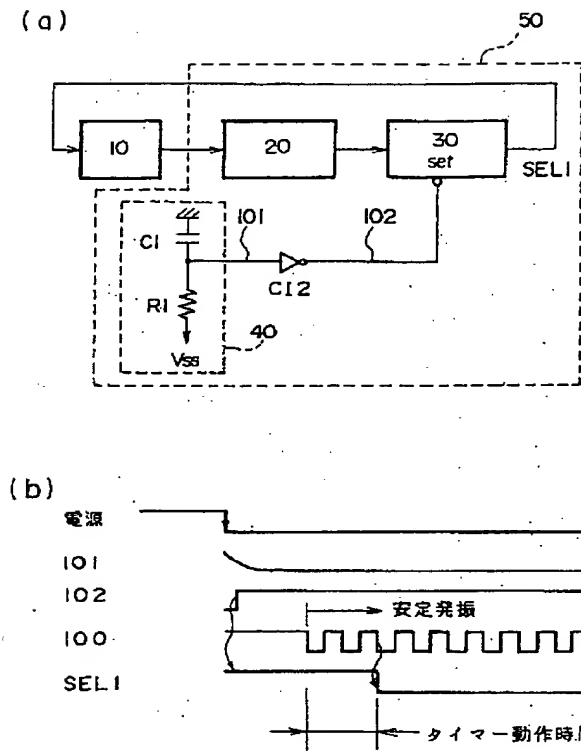
【図4】



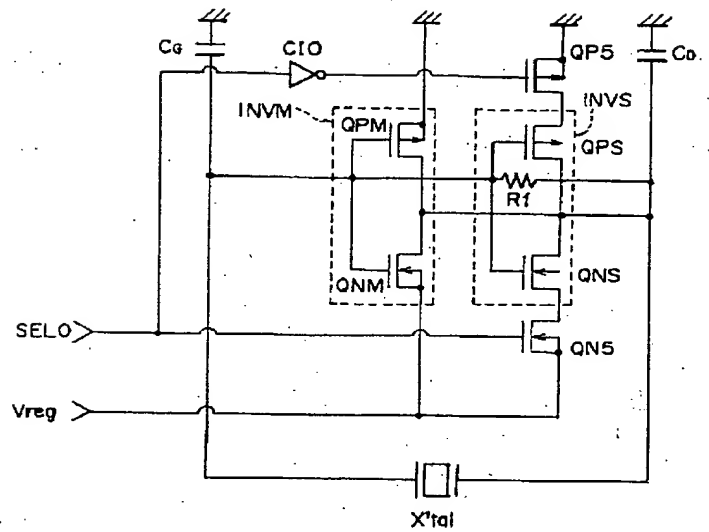
【図3】



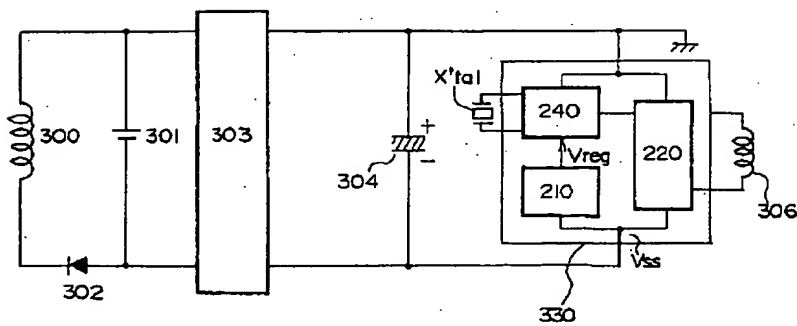
【図2】



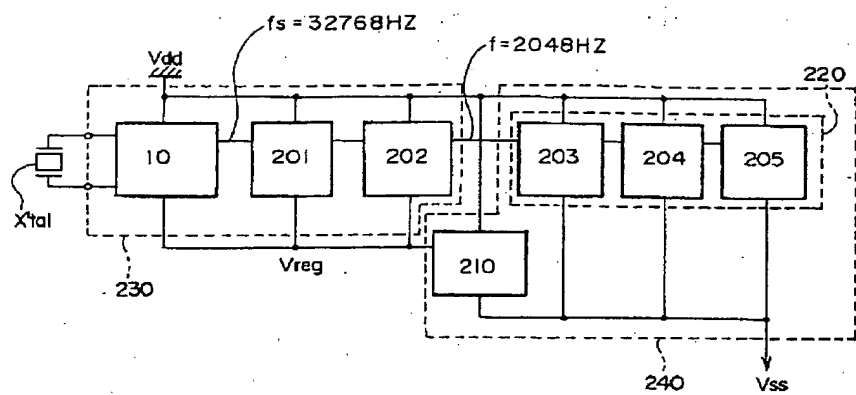
【図5】



【図6】



【図7】



240